

Patent Abstracts of Japan

PUBLICATION NUMBER : 60020582
PUBLICATION DATE : 01-02-85

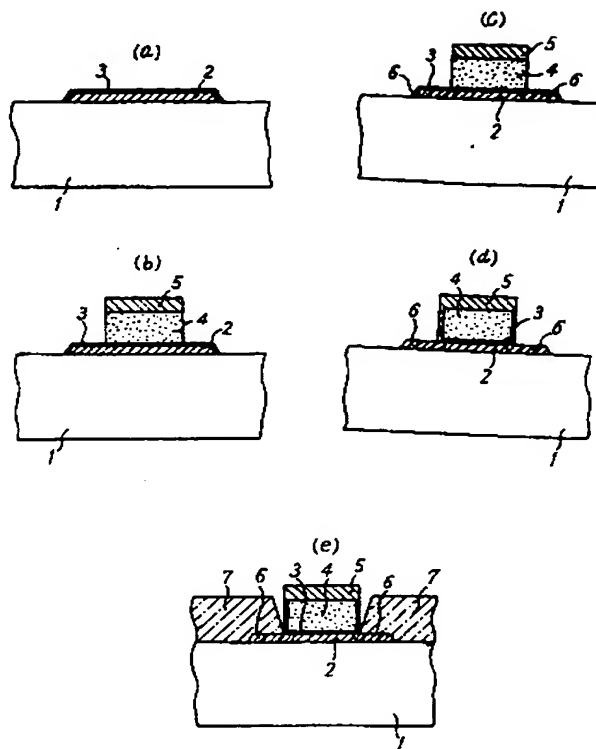
APPLICATION DATE : 14-07-83
APPLICATION NUMBER : 58128418

APPLICANT : NEC CORP;

INVENTOR : FUKUMA MASAO;

INT.CL. : H01L 29/78 // H01L 27/12

TITLE : MIS TRANSISTOR AND
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To restrain the short channel effect effectively by limiting the thickness of the semiconductor substrate formed on an insulating substrate and on which a channel is formed and by making a source and drain region thicker than the semiconductor substrate except the part right under a gate where the source and drain region overlaps the gate.

CONSTITUTION: After growing Si to about 300\AA on a sapphire substrate 1, the part 2 required for a transistor is etched off and a gate oxide film 3 of 200\AA is grown. At this time, a thickness of the Si substrate 2 becomes 200\AA or less. Next, the first or second conductive type doped polycrystalline Si and SiO_2 are deposited in order, followed by selective etching to form a gate electrode 4. Subsequently, the first conductive type source and drain region 6 is formed by ion implantation. Then, after a thermal oxidation film is grown on a side plane of the polycrystalline Si gate 4, the oxide film of a surface of the source and drain region 6 of the region where it does not overlap the gate is removed. Next epitaxial Si 7 is grown to about $5,000\text{\AA}$ by selective epitaxial growth using the growing gas consisting of halogenide gas.

COPYRIGHT: (C)1985,JPO&Japio

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭60—20582

⑯ Int. Cl.⁴
H 01 L 29/78
// H 01 L 27/12

識別記号

庁内整理番号
7377—5F
8122—5F

⑰ 公開 昭和60年(1985)2月1日

発明の数 2
審査請求 未請求

(全 5 頁)

⑱ MIS トランジスタ及びその製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑲ 特 願 昭58—128418
⑳ 出 願 昭58(1983)7月14日
㉑ 発 明 者 福岡雅夫

㉒ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
㉓ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

MIS トランジスタ及びその製造方法

2. 特許請求の範囲

(1) 絶縁基板上に形成される MIS トランジスタ (いわゆる SOI MIS トランジスタ) において、チャネルが形成される半導体基板を 200Å 以下の厚みとし、かつソース・ドレイン領域がゲート直下のゲートとオーバーラップしている部分を除いて前記半導体基板の厚みよりも厚くしたことを特徴とする MIS トランジスタ。

(2) 絶縁基板に半導体単結晶薄膜を成長させ、この上にゲート絶縁膜とゲート電極とを形成し、ゲート電極側面を絶縁体でカバーした後、選択的エピタキシャル成長によつて、ソース・ドレイン領域の上にもみ半導体を成長させ、前記半導体薄膜に比べて厚いソース・ドレインを形成することを特徴とする MIS トランジスタの製造方法。

3. 発明の詳細な説明

本発明は、絶縁基板上に形成される MIS トラン

ジスタ及びその製造方法に関する。

絶縁基板上に形成される MIS トランジスタ (以下、SOI (semiconductor on insulator) MOS トランジスタと略す) はトランジスタ間の分離が容易である、寄生容量が少ない、などの特徴を有し、高性能 LSI に最も適した構造と考えられている。

SOI MOS トランジスタの典型的な例は、SOS (Silicon on Sapphire) であるが、一般に通常のエピタキシャル法で良好な結晶を得るためにはシリコン単結晶薄膜は 0.2μm 以上の厚みが必要とされている。実用的には、0.4 ~ 0.6μm 程度の厚さが最も良く用いられている。

ここで高性能化を目的とした短チャネル化の問題点について考える。

SOI MIS トランジスタにおいても通常のバルク MIS トランジスタと同様に短チャネル化に伴ない、バントスルー、閾電圧の低下等に対処するためにはチャネルが形成される半導体基板の不純物濃度を高くする必要がある。しかし基板不純物濃度が高くなると、ドレインブレイクダウン電圧が低下し

たり、あるいは基板が電気的に浮遊しているために、ダイナミック特性が低下したりするといった悪影響が予想される。この第1の問題点は半導体基板の膜厚が、空乏層厚みと同程度かあるいはそれ以上であるために、バルクMISトランジスタの場合と同様に空乏層中のチャージがトランジスタの電気特性に多大な影響を与えることが原因である。第2の問題点はチャネル長の制御性である。SOI MISトランジスタでは通常ソース・ドレイン拡散層厚みは半導体基板のそれと等しい。従つて拡散の制御性から実用的な有効チャネル長は半導体基板厚みの2〜3倍以下にすることはできない。

第1及び第2の問題は、従つて、半導体基板の厚みをより薄くすることができれば基本的には避けられる。しかし、ソース・ドレインの厚さが薄くなることで寄生抵抗が非常に大きくなつたり、あるいは中途半ばな厚さで基板領域の大半が空乏化してしまうような状態では、かえつてパンチスルー特性は悪くなるので、単純な半導体基板の薄膜化は、必ずしも短チャネル化には適さない。

ンを形成することを特徴とするMISトランジスタの製造方法である。

次に本発明の構造のMISトランジスタの動作原理について説明する。

MISトランジスタの反転層の厚みは通常数十Å〜100Åである。従つてトランジスタとして本質的に必要とされるのはゲート絶縁膜の下側のせいぜい200Åの半導体層だけである。短チャネルにおける閾電圧の低下とか、パンチスルー耐圧の低下とかはすべて反転層の下に広がっている空乏層中の電位が、ドレイン電極の影響によつて変化するため生じるのであり、チャネル部分に直接影響を与えるからではない。すなわちゲート電極からチャネルまでの距離(ゲート酸化膜厚)がチャネル長に比べて充分短いならば、チャネルのポテンシャルはあくまでもゲートでコントロールされる。そこでチャネルの下側の空乏層領域を絶縁体でおきかえ、かつソース・ドレインの下端と、チャネルの下端とを同一平面上にそろえておけば、空乏層にまつわる短チャネル効果を抑制したまま、MIS

従つて本発明の目的は、短チャネルにおいてもパンチスルー電圧や閾電圧の低下といつたいわゆる短チャネル効果が有効に抑制され、かつ、チャネルが形成される半導体基板内の不純物に起因するブレイクダウン電圧の低下、ダイナミック特性の低下がなく、しかもソース・ドレインによる寄生抵抗が充分低いSOI MISトランジスタと、このようなトランジスタを容易に実現できる製造方法を提供することにある。

すなわち本発明は、絶縁基板上に形成され、チャネルが形成される半導体基板を200Å以下の厚みとし、かつソース・ドレイン領域がゲート直下のゲートとオーバーラップしている部分を除いて、前記半導体基板の厚みよりも厚くしたことを特徴とするMISトランジスタおよび絶縁基板上に半導体単結晶薄膜を成長させ、ゲート絶縁膜とゲート電極を形成し、ゲート電極の側面を絶縁体でカバーした後、選択的エピタキシャル成長によつてソース・ドレインの領域の上にのみ半導体を成長させ、前記半導体薄膜に比べて厚いソース・ドレイ

トランジスタとしての良好な動作が実現できる。ただしこのままではソース・ドレイン層の厚みがチャネルと同程度になり、寄生抵抗は非常に大きくなる。従つて、ゲート直下のゲートとオーバーラップしている部分を除いたソース・ドレイン領域の厚みを上方向に厚くすることで外因性の寄生抵抗は低減できる。

以下、第1図(a)〜(f)の一連の工程図を用いて本発明の典型的な一実施例につき、その構造及び製造方法を説明する。以下の説明では説明の便宜上、絶縁基板をサファイア、また半導体をシリコンと仮定するが、単結晶薄膜が形成できさえすれば他の材料でもよく、これも当然本発明の範囲に含まれる。

第1図(a)は、サファイア基板1にシリコンを分子線エピタキシャル法で約300Å成長させた後(100面)、トランジスタに必要な部分2を異方性エッチングによつてエッチオフし、200Åのゲート酸化膜3を成長させた状態を示す。この時点でシリコン基板2の厚みは200Åとなる。第1図(b)

は、第1あるいは第2導電型のドーフトポリシリコン 5000Åと、CVD SiO₂ 2000Åとを順にたい積した後選択エッチングによりゲート電極4を形成した状態である。5はマスク酸化膜を示す。第1図(c)はイオン注入で第1導電型のソースドレイン領域6を形成した状態であるが、この時イオン注入のエネルギーは200Åのゲート酸化膜3の直下に不純物分布のピークが来るように選ばれる。第1図(d)はポリシリコンゲート4の側面に熱酸化膜を約200Å成長させた後に異方性スパッタエッチング法によりソース・ドレイン6のゲートにオーバーラップしていない領域の表面の酸化膜を取り除いた状態である。この時ゲート4の上の酸化膜5は約2000Å程度あるのでポリシリコン表面は外には現れない。

第1図(e)に約1000°Cでシリコンの選択的エピタキシャル成長によりハロゲン化気体を主体とする成長ガスを用いてエピタキシャルシリコン7を約5000Å成長させた状態を示す。このとき成長ガスに第1導電型の不純物を混入しておけばエピタキ

シャルシリコン7ともとのソース・ドレイン6とは電気的にも接続することになる。さらに、もとのソース・ドレインは(100)面なのでゲートポリシリコン側壁の酸化膜とシリコンの材質の不一致が原因となつてエピタキシャルシリコン7の側面にはテーパーが形成され、このためゲートポリシリコン4との間にV字形のみぞができあがることになる。第1図(f)は層間絶縁酸化膜8を成長させコンタクト用の穴をあけたあとメタル配線9を施した状態である。これが本発明MISトランジスタの構造の典型的な一例である。

本発明の構造によれば、シリコン基板2の厚みが200Åと非常に薄く、従つて基板不純物が電気的特性に及ぼす影響は無視できる。このため例えば、閾電圧はゲート金属と半導体の仕事関数差によつてだけ決まり、いわゆる基板効果とか、短チャネルにおける閾電圧の低下という問題は生じない。又ドレインブレークダウン耐圧も、ゲート酸化膜厚やチャネル長で決まる真性値に等しくなり、不純物濃度の影響は受けない。さらにチャネル長

が、1000Å程度になつてもシリコン基板はまだ充分薄く、ゲート酸化膜厚を考慮してもチャネルの中央は充分ゲート電極のコントロールできる状態であるため、たとえ低不純物濃度の基板であつても、パンチスルーのおそれはない。第2図に二次元解析で求めたゲート電圧(V_g)とドレイン電流(I_D)との関係、いわゆるテーリング特性を示す。同図により充分なON/OFF比が取れていることがわかる。

一方、ソース・ドレインの本来の厚さは200Åなのでゲート金属の加工さえ充分な精度で行なわれるならば、チャネル長のコントロールも致10Åのオーダーで可能である。しかも、ゲートとオーバーラップしていないソース・ドレイン領域は、5000Åと充分厚みがあり、外因性の寄生抵抗は極小におさえられている。又、このエピタキシャルソース・ドレインとゲート電極との間にはVみぞがあるので、ゲートとソース・ドレインのカップリング容量も小さくなつており、高速動作が行なえる。

本発明の製造方法によれば、本来のソース・ドレインの機能が必要とされる領域はシリコン基板と同様のごく薄い厚みに設定されているにもかかわらず、選択エピタキシャル法を使うことで厚いソース・ドレイン(エピタキシャル層)をゲート電極に対してセルフアラインで形成できる。しかも、この厚いソース・ドレインとゲート電極との間にはV字型のみぞを自動的に形成することができ、寄生容量の増加も抑制できる。従つて本発明の構造を作る上で卓絶した効果を発揮できるものである。

以上の説明では説明の便宜上、典型的でしかも簡便な一実施例についてのみ述べて来たが、本発明はこのような実施例についてのみ限定されるものではない。例えば、トランジスタ領域の分離にはシリコン島をエッチオフによつて形成する方法以外にも熱酸化膜を成長させる方法でもかまわない。このような変形も当然本発明の範囲に含まれる。

4. 図面の簡単な説明

第1図(a)~(f)は本発明の典型的実施例を製造工程を追って示した要部断面図、第2図はゲート電圧とドレイン電流との関係を示す特性曲線図である。

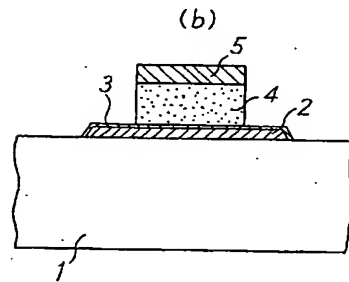
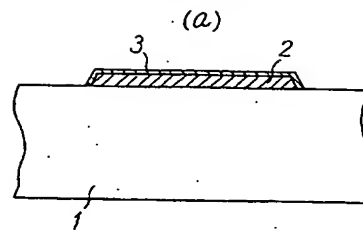
1…絶縁基板、2…シリコン基板、3…ゲート絶縁膜、4…ゲートポリシリコン、5…マスク酸化膜、6…ソース・ドレイン、7…エピタキシャルシリコン、8…層間絶縁膜、9…メタル配線

特許出願人 日本電気株式会社

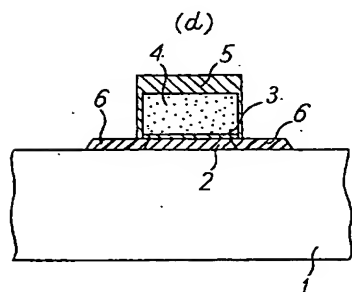
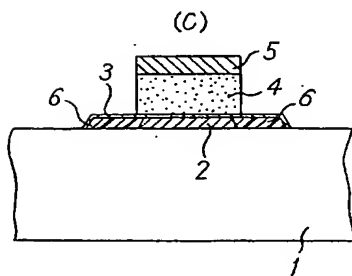
代理人 弁理士 内 原 晋



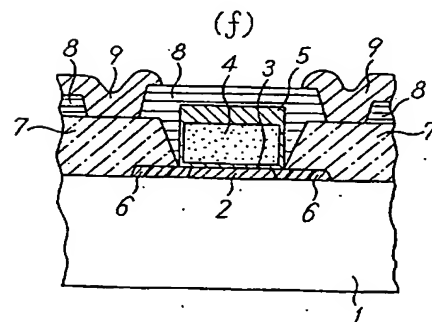
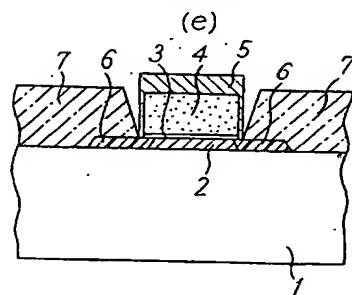
第1図



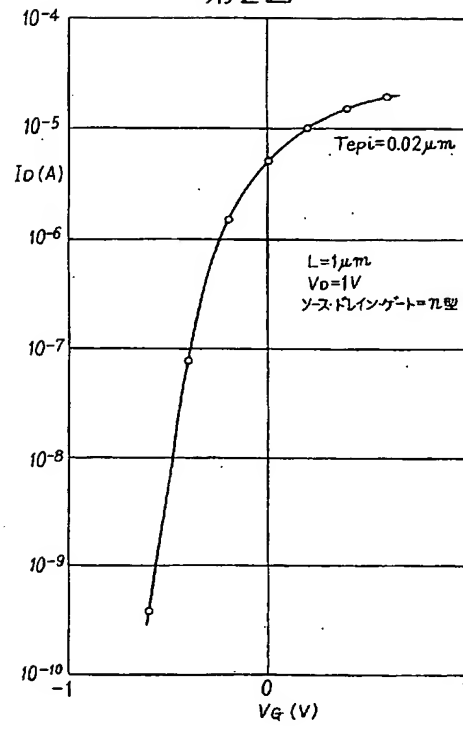
第1図



第1図



第2図



THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)